

DISCIPLINA: Arquitetura de Computadores	CÓDIGO: G03ACOM0.01
--	----------------------------

VALIDADE: Início: **JANEIRO/2021**

Término:

Carga Horária: Total: 60 horas/aula Semanal: 4 aulas Créditos: 4

Modalidade: Teórica

Classificação do Conteúdo pelas DCN: Profissional **Integralização:** Obrigatória

Ementa:

Métodos para Aumento de Desempenho: Linha de montagem (Pipelining): Como estender o pipeline para manipular operações de vários ciclos, Perigos e encaminhamentos em pipelines de latência mais longa, Explorando dinamicamente o paralelismo em nível de instrução, Algoritmo de Tomasulo, Melhorando desvios com previsão dinâmica de hardware, Entrega de instruções de alto desempenho, Emissão múltipla, Especulação baseada em hardware, Estudo das Limitações de ILP, Estudo de Caso. Projeto de Hierarquias de Memória: Introdução, Revisão dos Conceitos Básicos de Cache, Desempenho da Cache, Redução das Penalidades de Erro da Cache, Redução da Taxa de Erros, Redução da Penalidade de Erro ou da Taxa de Erros de Cache Via Paralelismo, Redução do Tempo de Acesso, Memória Principal e Organizações para Melhorar o Desempenho, Tecnologias de Memória, Questões Gerais: o projeto de Hierarquias de Memória. Multiprocessadores e Paralelismo em Nível de Linhas de Execução (Threads): Introdução, Características de domínios de aplicações, Arquiteturas de memória compartilhada simétrica, Desempenho de multiprocessadores de memória compartilhada simétrica, Arquiteturas de memória compartilhada distribuída, Sincronização, Modelos de consistência de memória, Múltiplas linhas de execução (Multithreading): explorando paralelismo de nível de linhas de execução em um processador, Questões gerais Armazenamento, Redes e Outros Periféricos: Introdução, Armazenamento em disco e confiabilidade, Barramento e outras conexões entre processadores, memória e dispositivos de E/S, Interface dos dispositivos de E/S com processador, memória e SO, Estudo de Caso.

Curso	Período	Eixo	Obrig.	Optativa
Engenharia de Computação	5º	Eixo 8 - Fundamentos de Engenharia de Computação	X	

Departamento/Coordenação: Departamento de Computação e Mecânica

INTERDISCIPLINARIDADES

Pré-requisitos	Código
Organização de Computadores	G03OCOM1.01
Co-requisitos	
Não há	

Objetivos: *A disciplina deverá possibilitar ao estudante*

1	Entender e avaliar técnicas avançadas no projeto de processadores com pipeline.
2	Avaliar e compreender o nível de paralelismo entre instruções de processadores.
3	Conhecer diferentes arquiteturas de sistemas multiprocessados.
4	Avaliar e compreender projetos avançados de hierarquia de memória.
5	Compreender as diferentes alternativas de arquitetura.

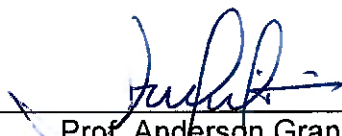
Unidades de ensino		Carga-horária Horas/aula
1	Métodos para Aumento de Desempenho: linha de montagem (Pipelining) 1.1 Como estender o pipeline para manipular operações de vários ciclos. 1.2 Perigos e encaminhamentos em pipelines de latência mais longa.	4
2	Paralelismo em Nível de Instrução e sua Exploração com Eficiência 2.1 Explorando dinamicamente o paralelismo em nível de instrução. 2.2 Algoritmo de Tomasulo. 2.3 Melhorando desvios com previsão dinâmica de hardware. 2.4 Entrega de instruções de alto desempenho. 2.5 Emissão múltipla.	10
3	Limitações do Paralelismo em Nível de Instruções 3.1 Especulação baseada em hardware. 3.2 Estudo das Limitações de ILP. 3.3 Estudo de Caso.	6
4	Projeto de Hierarquias de Memória Básico 4.1 Introdução. 4.2 Revisão dos Conceitos Básicos de Cache. 4.3 Desempenho da Cache.	4
5	Projeto de Hierarquias de Memória Avançado 5.1 Redução das Penalidades de Erro da Cache. 5.2 Redução da Taxa de Erros. 5.3 Redução da Penalidade de Erro ou da Taxa de Erros de Cache Via Paralelismo. 5.4 Redução do Tempo de Acesso.	10

	5.5 Memória Principal e Organizações para Melhorar o Desempenho. 5.6 Tecnologias de Memória. 5.7 Questões Gerais: o projeto de Hierarquias de Memória.	
6	Multiprocessadores e Paralelismo em Nível de Linhas de Execução (Threads) 6.1 Introdução. 6.2 Características de domínios de aplicações.	2
7	Multiprocessadores e Threads – Arquiteturas e consistência de memória 7.1 Arquiteturas de memória compartilhada simétrica. 7.2 Desempenho de multiprocessadores de memória compartilhada simétrica. 7.3 Arquiteturas de memória compartilhada distribuída. 7.4 Sincronização. 7.5 Modelos de consistência de memória.	8
8	Multithreading 8.1 Múltiplas linhas de execução (Multithreading): explorando paralelismo de nível de linhas de execução em um processador. 8.2 Questões gerais	4
9	Armazenamento, Redes e Outros Periféricos 9.1 Introdução. 9.2 Armazenamento em disco e confiabilidade. 9.3 Barramento e outras conexões entre processadores, memória e dispositivos de E/S. 9.4 Interface dos dispositivos de E/S com processador, memória e SO. 9.5 Estudo de Caso.	12
Total		60

Bibliografia Básica	
1	CARTER, Nicholas. Teoria e problemas de arquitetura de computadores. Porto Alegre: Bookman, 2003. 240 p. ISBN 9788536302508.
2	HENNESSY, John L.; PATTERSON, David A. Arquitetura de computadores: uma abordagem quantitativa. 6. ed. Rio de Janeiro: LTC, c2019. 544 p. ISBN 9788535291742.
3	STALLINGS, William. Arquitetura e organização de computadores. 10. ed. São Paulo: Pearson, c2018. 209 p. ISBN 9788543020532.

Bibliografia Complementar	
1	DELGADO, José; RIBEIRO, Carlos. Arquitetura de computadores. 5. ed. atual. Rio de Janeiro: LTC, c2017. 543 p. ISBN 9788521633532.
2	MURDOCCA, Miles J.; HEURING, Vincent P. Introdução à arquitetura de computadores. Rio de Janeiro: Elsevier, 2001. 512 p. ISBN 9788535206845

3	STALLINGS, William. Arquitetura e organização de computadores: projeto para o desempenho. 5. ed. São Paulo: Pearson Prentice Hall, c2002. ISBN: 9788597918536.
4	STALLINGS, William. Arquitetura e organização de computadores: projeto para o desempenho. 10 ed. São Paulo: Pearson, 2009. ISBN: 9788576055648. Disponível em: https://plataforma.bvirtual.com.br/Leitor/Publicacao/1247/pdf/0 Acesso em: 20 out. 2022.
5	TANENBAUM, Andrew S.; AUSTIN, Todd. Organização estruturada de computadores. 6. ed. São Paulo: Pearson Prentice Hall, 2013. 605 p. ISBN 9788581435398.



Prof. Anderson Grandi Pires
Coordenador do Curso de Engenharia de Computação